

CLIPPEDIMAGE= JP407193465A

PAT-NO: JP407193465A

DOCUMENT-IDENTIFIER: JP 07193465 A

TITLE: HIGH FREQUENCY INTEGRATED CIRCUIT

PUBN-DATE: July 28, 1995

INVENTOR-INFORMATION:

NAME

OBAYASHI, SHUICHI

KAYANO, HIROYUKI

MAEDA, TADAHIKO

SUZUKI, YASUO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP05332719

APPL-DATE: December 27, 1993

INT-CL (IPC): H03H011/28

ABSTRACT:

PURPOSE: To reduce an entire area and to reduce the loss in a matching circuit by deciding the size of active elements in one or two steps excepting for the final step based on the ratio of the size for providing prescribed output power after satisfying distortion characteristics.

CONSTITUTION: A high frequency integrated circuit 10 is provided with a prestage circuit 11, poststage circuit 12 and inter stage circuit 15 composed of active elements such as FET. The inter stage matching circuit 15 is composed of a capacitor 16, capacitor 17 connected on the ground side and inductor 19 or the like. In this case, after the distortion characteristics are satisfied, output power  $P_i$  ( $i=1$  to  $n$  and  $n \geq 2$ ) for each stage is made over  $K_m$ -fold [ $K_m = G_m/A$  ( $A$  is a prescribed value) corresponding to a ratio  $G_m$  between an irreducibly minimum size  $W_m$  of the active element to provide prescribed output power  $P_n$  ( $1 \leq m \leq n-1$ ) and an irreducibly minimum size  $W_{(m+1)}$  to provide prescribed output power  $P_{(m+1)}$  after satisfying the distortion characteristics of the active element in the next stage or over

twice as large as the size Wm.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-193465

(43)公開日 平成7年(1995)7月28日

(51)Int.Cl.<sup>6</sup>

H 0 3 H 11/28

識別記号

庁内整理番号

8628-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数2 OL (全7頁)

(21)出願番号 特願平5-332719

(22)出願日 平成5年(1993)12月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 尾 林 秀 一

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72)発明者 加屋野 博 幸

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72)発明者 前 田 忠 彦

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(74)代理人 弁理士 佐藤 一雄 (外3名)

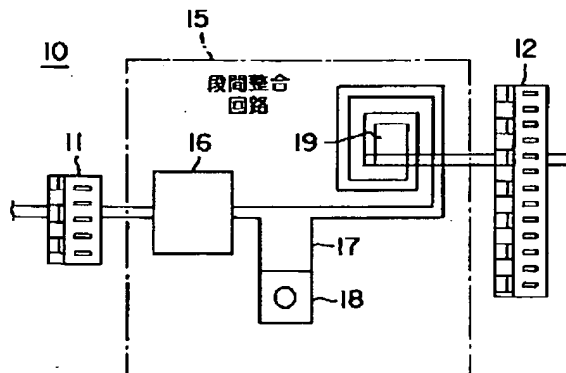
最終頁に続く

(54)【発明の名称】 高周波集積回路

(57)【要約】

【構成】 必要な利得と出力電力および歪特性を得るため、2段以上の継続接続を用いて、各段の出力電力 $P_i$  ( $i=1\sim n$ ,  $n\geq 2$ )と利得、段間の整合回路の損失を配分する高周波集積回路において、最終段以外の1つないしは2つ以上の段の能動素子の大きさを、歪特性を満たした上で所定の出力電力 $P_m$  ( $1\leq m\leq n-1$ )が得られる最小限の大きさ $W_m$ に対して $K_m$ 倍(但し、 $K_m$ は、上記 $W_m$ と、その次段の能動素子の歪特性を満たした上で所定の出力電力 $P_{(m+1)}$ が得られる最小限の大きさ $W_{(m+1)}$ との比 $G_m$ に対して $K_m=G_m/A$ 、 $A$ は所定の値)以上にする。

【効果】 能動素子の大きさを、配分した出力電力に対応する必要最小限の大きさに対して $K_m$ 倍あるいは2倍以上にすると、素子の出力インピーダンスが小さくなり、次段の能動素子の入力インピーダンスとの差が小さくなり、少ない素子数を段間整合を取ることができる。これにより、全体の面積を小さくでき、かつ整合回路の損失を小さくできる。



## 【特許請求の範囲】

【請求項1】必要な利得と出力電力および歪特性を得るため、2段以上の縦続接続を用いて各段の出力電力 $P_i$  ( $i=1\sim n$ ,  $n\geq 2$ )と利得、段間の整合回路の損失を配分する高周波集積回路において、最終段以外の1つないしは2つ以上の段の能動素子の大きさを、歪特性を満たす最小限の大きさであり、かつ、所定の出力電力 $P_m$  ( $1\leq m\leq n-1$ )が得られる最小限の大きさ $W_m$ に対して $K_m$ 倍(但し、 $K_m$ は、上記 $W_m$ と、その次段の能動素子の歪特性を満たす最小限の大きさであり、かつ、所定の出力電力 $P_{(m+1)}$ が得られる最小限の大きさ $W_{(m+1)}$ との比 $G_m$ に対して $K_m=G_m/A$ ;  $A$ は所定の値)以上にすることを特徴とする高周波集積回路。

【請求項2】必要な利得と出力電力および歪特性を得るため、2段以上の縦続接続を用いて各段の出力電力 $P_i$  ( $i=1\sim n$ ,  $n\geq 2$ )と利得、段間の整合回路の損失を配分する高周波集積回路において、最終段以外の1つないしは2つ以上の段の能動素子の大きさを、歪特性を満たす最小限の大きさであり、かつ、所定の出力電力 $P_m$  ( $1\leq m\leq n-1$ )が得られる最小限の大きさ $W_m$ に対して2倍以上にすることを特徴とする高周波集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高周波集積回路に係り、特に通信機器の信号増幅などに用いられる高周波集積回路に関する。

## 【0002】

【従来の技術】例えば、通信機器などに用いる高周波集積回路は、必要な利得と所望の出力電力を得る条件のもとで、チップ面積をできるだけ小さくして、歩留まりを大きくすることが求められている。

【0003】一方、必要な利得と所望の出力電力を得るために、2段以上の縦続接続を用いて、各段の出力電力と利得、段間の整合回路の損失を配分することが行なわれている。この場合、一般に、微細加工が必要な能動素子の面積をできるだけ減らすため、配分した各出力電力に対応する必要最小限の面積を用いて例えばトランジスタ等の能動素子により前段回路を構成している。また、前段回路の出力インピーダンスと後段回路の入力インピーダンスとを整合させたり、出力電力における不要な周波数を減衰させたりするために段間整合回路が設けられている。

【0004】図7および図8は、従来の高周波集積回路の夫々別異の例を示す概略平面図である。

【0005】図7は、段間整合回路の面積が広いタイプの従来の高周波集積回路を示している。同図において、符号1は、例えば電界効果トランジスタ(field effect transistor; FET)等の能動素子よりなる前段回路で

あり、この前段回路1のFETは、上述した理由によって狭い面積の総ゲート幅を有するように構成されている。符号2は、例えば総ゲート幅が広いFET等の能動素子よりなる後段回路であり、前記前段回路1と後段回路2との間には不要な周波数を減衰させて双方の回路のインピーダンスを整合させる段間整合回路5が設けられている。この段間整合回路5は、前段回路1側に設けられる小容量のキャパシタ6と、このキャパシタ6に接続される大容量のキャパシタ7と、このキャパシタ7に隣接して設けられるスルーホール8と、キャパシタ7および後段回路2との間に設けられるインダクタ9と、より構成されている。この段間整合回路5は、前段回路1の能動素子の総ゲート幅を可及的に小さく構成するために、大きなキャパシタ7と比較的広面積を占めるインダクタ9とを設けなければならない、回路全体として広い面積を必要としている。

【0006】また、図8は個々の素子の面積を狭くするために各素子を複数に分割したタイプの段間整合回路5Aを設けた従来の高周波集積回路を示している。図8において、総ゲート幅の小さいFETよりなる前段回路1と総ゲート幅の大きいFETよりなる後段回路2との間に段間整合回路5Aが設けられている。この段間整合回路5Aは、小容量のキャパシタ6と、このキャパシタ6に接続され、図7における大容量のキャパシタ7を2つに分割した場合の一方のキャパシタ7aと、このキャパシタ7aに隣接するスルーホール8aと、図7におけるインダクタ9を2つに分割した場合の一方のインダクタ9aと、2つに分割されたうちの他方のキャパシタ7bと、このキャパシタ7bに隣接するスルーホール8bと、2つに分割されたうちの他方のインダクタ9bと、を備えている。この段間整合回路5Aは、段間整合回路5に比較してキャパシタ及びインダクタの素子値を小さくできる一方でキャパシタ7、スルーホール8およびインダクタ9を夫々2つに分割してキャパシタ7aおよび7b、スルーホール8aおよび8b、インダクタ9aおよび9bとしているので、回路を構成する素子数が2倍近い個数となっている。また、整合回路5又は5Aにおける素子が整合のための素子値も大きくなる。

【0007】上記図7および図8に示す段間整合回路5および5Aは、前段回路1と後段回路2との夫々におけるFETの総ゲート幅の差を大きくしているために、特に1段当たりの利得が大きい場合に、整合させるべきインピーダンスの差が大きくなる。従って、整合に必要な素子の数や素子値が大きくなるため、段間整合回路の面積が大きくなり、結果として高周波集積回路の全体としての面積が大きくなるという欠点がある。

【0008】また、個々の素子に含まれる損失の合計が大きくなってしまい、整合回路全体の損失が大きくなってしまいうという欠点がある。

【0009】

【発明が解決しようとする課題】以上に述べたように、従来の技術では、2段以上の縦続接続を用いて各段の出力電力と利得、段間の整合回路の損失を配分し、能動素子の面積をできるだけ減らすため、配分した各出力電力に対応する必要最小限の大きさを用いるため、整合すべきインピーダンスの差が大きくなり、集積回路の面積が大きくなるとともに、整合回路の損失が大きくなるという欠点があった。

【0010】そこで、本発明は、縦続接続を用いた場合でも全体の面積を小さくでき整合回路の損失を小さくできる高周波集積回路を提供することを目的としている。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明においては、必要な利得と出力電力および歪特性を得るため、2段以上の縦続接続を用いて、各段の出力電力 $P_i$  ( $i=1\sim n$ ,  $n\geq 2$ )と利得、段間の整合回路の損失を配分する高周波集積回路において、最終段以外の1つないしは2つ以上の段の能動素子の大きさを、歪特性を満たした上で所定の出力電力 $P_m$  ( $1\leq m\leq n-1$ )が得られる最小限の大きさ $W_m$ に対して $K_m$ 倍(但し、 $K_m$ は、上記 $W_m$ と、その次段の能動素子の歪特性を満たした上で所定の出力電力 $P_{(m+1)}$ が得られる最小限の大きさ $W_{(m+1)}$ との比 $G_m$ に対して $K_m=G_m/A$ ;  $A$ は所定の値)以上あるいは2倍以上にすることを特徴とする高周波集積回路を提供している。

【0012】

【作用】能動素子の大きさを、配分した出力電力に対応する必要最小限の大きさに対して $K_m$ 倍以上あるいは2倍以上にすると、素子の出力インピーダンスが小さくなり、次段の能動素子の入力インピーダンスとの差が小さくなり、少ない素子数で段間整合をとることができる。これにより、全体の面積を小さくでき、かつ整合回路の損失を小さくできる。

【0013】

【実施例】以下、この発明に係る高周波集積回路の一実施例を図1ないし図6に従い詳細に説明する。

【0014】まず、図2を用いて歪特性を満たした上で能動素子の出力電力とその能動素子の大きさ(総ゲート幅)との関係について説明する。図2において、複数段に縦続接続された各段の能動素子をFETにより構成した場合、能動素子の大きさは「総ゲート幅」として理解されるが、もしも能動素子をバイポーラトランジスタにより構成した場合、能動素子の大きさは「エミッタサイズ」により表わされる。

【0015】例えば、複数段に能動素子を接続した増幅回路を集積回路により構成した場合、最終段の出力電力を所望の値 $P_{(m+1)}$ に設定すると前段の出力電力の値は、その段を構成する能動素子の利得をも考慮して決定される。この出力電力は能動素子としてのFETの総

ゲート幅に対して図2に示すような特性を有している。従って、前段回路を構成する能動素子(FET)の所望の出力電力値 $P_m$ が決定されると、そのFETの総ゲート幅は図2により求められる。

【0016】図1は、この発明の一実施例に係る高周波集積回路10の概略構成を示している。図1において、高周波集積回路10は、FET等の能動素子により構成される前段回路11と、同じくFET等の能動素子により構成される後段回路12と、前段回路11の出力インピーダンスと後段回路12の入力インピーダンスとをマッチングさせる段間整合回路15と、を備えている。図1における後段回路12は、図7および図8における後段回路2に相当し、両者は共に広い面積の総ゲート幅を有している。これに対して図1における前段回路11は、図7および図8における前段回路1に相当するが、両者の総ゲート幅は異なっており、図7および図8に対比させて図1を観察すれば明かなように、従来の前段回路1を構成するFETの総ゲート幅に対して本実施例の前段回路11を構成するFETの総ゲート幅は2倍の面積を有するように構成されている。勿論、前段回路11はバイポーラトランジスタにより構成しても良く、その場合にはエミッタサイズを従来の倍の大きさにすれば良い。

【0017】本実施例による高周波集積回路10は、前段回路11を構成するFET(バイポーラトランジスタ)の総ゲート幅(エミッタサイズ)を倍にしたことにより、図7および図8に示す段間整合回路5又は5Aとは異なる構成を有する段間整合回路15を備えている。この段間整合回路15は、前段回路11に接続されたキャパシタ16と、このキャパシタ16に接続されたキャパシタ17と、このキャパシタ17に隣接して設けられたスルーホール18と、前記キャパシタ17と後段回路12との間に設けられたインピーダンス19と、より構成されている。この段間整合回路15の各構成素子16ないし19を図7又は図8の構成素子と比較すると、キャパシタ16(図1)はキャパシタ6(図7および図8)と同一構成を有するが、キャパシタ17(図1)はキャパシタ7(図7)に比べて大幅に小さくなっており、また、インダクタ19(図1)もインダクタ9(図7)よりも大幅に省スペース化されている。また、図8におけるキャパシタ7aおよび7bは個々の構成においては図1のキャパシタ17とほぼ同一であるが、素子数、面積共にほぼ2倍であり、また、図8のインダクタ9aおよび9bも図1のインダクタ19と個々のほぼ同一構成を有しているとはいえ、素子数、面積はほぼ2倍である。従って、本実施例の高周波集積回路10においては、段間整合回路15の全体の面積を省スペース化したり、構成素子の点数を削減したりすることが可能となる。

【0018】図1に示された高周波集積回路10のより

詳しい回路構成が、図4に示されている。図4において、高周波集積回路10は、入力端子20と出力端子30との間に順次設けられた入力整合回路21、前段回路11、段間整合回路15、後段回路12および出力整合回路25を備えている。

【0019】前段回路11は、例えばガリウムヒ素(GaAs)を用いたショットキー障壁ゲート電界効果トランスタ(Metal Semiconductor FET;MESFET)13より構成され、後段回路12は、例えばMESFET14より構成されている。3つの整合回路は、2つのキャパシタと1つのインダクタを有する略同一の構成となっている。即ち、入力整合回路21は、キャパシタ22および23とインダクタ24とを備え、段間整合回路15はキャパシタ16および17とインダクタ19とを備え、出力整合回路25はインダクタ26とキャパシタ27および28を備えている。段間整合回路15が前段回路11の出力インピーダンスと後段回路12の入力インピーダンスとの整合をとると同様に、入力整合回路は、供給された入力電力のインピーダンスと前段回路11の入力インピーダンスとの整合をとっており、また、出力整合回路25は後段回路12の出力インピーダンスと出力端子30より外部へ導き出される出力電力のインピーダンスとの整合をとっている。なお、符号31ないし34は前段回路11用のバイアス電圧 $V_{d1}$ および $V_{g1}$ 並びに後段回路12用のバイアス電圧 $V_{d2}$ および $V_{g2}$ を夫々供給するための端子である。また、符号35ないし38は各端子31ないし34とFET13又は14との間に設けられたインダクタである。

【0020】以上のような基本的な構成を有する高周波集積回路10の本実施例における作用、効果を説明する。

【0021】図3に示すような、複数の段で構成される増幅器とそれらの段間の整合回路を考える。

【0022】ここで、所定の歪特性は、一般的な非線形歪を規定するものならばどのようなものでも適用できる。例えば、利得が線形特性からある値だけ圧縮される時の出力電力で規定する、飽和出力電力で規定する、2周波数信号を入力した時の相互変調積の値で規定する、ある変調信号を入力した時に中心周波数からある周波数間隔だけ離れた周波数を中心としたある帯域幅内に出る漏洩電力の値で規定する、等の方法がある。また、これらを複数組み合わせることもできる。この例では、利得が線形特性から1dBだけ圧縮される時の出力電力で規定する場合を示す(図2参照)。

【0023】前段の能動素子の歪特性を満たした上で所定の出力電力 $P_m$ ( $1 \leq m \leq n-1$ )が得られる最小限の大きさ $W_m$ と、その次段の能動素子の歪特性を満たした上で所定の出力電力 $P_{(m+1)}$ が得られる最小限の大きさ $W_{(m+1)}$ との比を $G_m$ とする。また、能動素子の使用する周波数での出力インピーダンス $Z_{om}$ と

入力インピーダンス $Z_{im}$ の比を $R_{io}=Z_{om}$ とする。インピーダンスの比( $Z_{om}/Z_{i(m+1)}$ )は、およそ $(1/K_m)$ 倍の $((G_m \times R)/K_m)$ と近似できる。このとき、図5および図6のスミスチャートに示すように、 $K_m$ 倍する以前には、整合回路に用いるインダクタンス(L)、キャパシタンス(C)が非常に大きくなったり、素子数を大きくする必要が生じるのに対し、 $K_m$ 倍することにより、整合回路に用いるインダクタンス(L)、キャパシタンス(C)を大幅に小さくできることがわかる。なお、図5および図6において、太実線は本実施例のインピーダンス特性を示し、太点線は従来の回路のインピーダンス特性を示している。

【0024】上記の倍数 $K_m$ は、前段の能動素子の最小限の大きさ $W_m$ と、後段の能動素子の最小限の大きさ $W_{(m+1)}$ との比 $G_m$ に対して、 $K_m=G_m/A$ の関係有するように設定される。 $A$ は所定の値である。

【0025】ここで $A$ は、例えば、集積回路の形式で定めることができる。例えば、ハイブリッドICなど個別部品を用いる場合には、9~15であれば効果が大い。それに対して、大きな素子値の受動部品を用いることが難しいモノリシックICの場合は、9以下が適当である。

【0026】また $A$ は、集積回路の形式に加え、能動素子の使用する周波数での出力インピーダンス $Z_{om}$ と入力インピーダンス $Z_{im}$ の比 $R_{io}=Z_{om}/Z_{im}$ で定めることもできる。例えば、ハイブリッドICなど個別部品を用いる場合には、15~20を $R_{io}$ で除した値であれば効果が大い。それに対して、大きな素子値の受動部品を用いることが難しいモノリシックICの場合は、15を $R_{io}$ で除した値以下が適当である。

【0027】また、前段の総ゲート幅を2倍以上にすることにより、インピーダンスの比( $Z_{om}/Z_{i(m+1)}$ )が約半分以下の値になる。図5および図6のスミスチャートに示すように、2倍にする以前には、整合回路に用いるインダクタンス(L)、キャパシタンス(C)が非常に大きくなったり、素子数を大きくする必要が生じるのに対し、2倍することにより、整合回路に用いるインダクタンス(L)、キャパシタンス(C)を大幅に小さくできることがわかる。

【0028】例として、図4に示されるような、0dBm入力、23dBm出力の2段カスケード増幅器を考える。入力整合回路の損失を1dB、初段の利得を14dBに設定した場合、初段の出力電力は13dBmとなる。なお、所定の歪特性としては、2周波数信号を入力した時の相互変調積の値で規定する。この場合、一般的には、FETには、総ゲート幅300 $\mu$ mで13dBm出力が可能なるものを初段に用いることになる。また、同一の種類で総ゲート幅4000 $\mu$ mに広げて出力電力23dBmを増加させたものを終段に用いる。なお、この例は、一般的なやり方と同様、初段の動作点をA級に近

くして利得を大きくし、終段の動作点をB級に近くして利得を12dBに下げる代わりに効率を上げる。

【0029】ここで、前段の出力インピーダンスは(100Ω-j40Ω)、後段の入力インピーダンスは(4, 5Ω-j8Ω)という標準的な値である。この場合、インピーダンス変換比が、22倍以上と非常に大きくなり、図5および図6と同じように、整合回路に用いるインダクタンス(L)、キャパシタンス(C)が非常に大きくなったり、素子数を大きくする必要が生じる。ここで、前段の総ゲート幅600μmに広げてやると、FETの出力インピーダンス(50Ω-j25Ω)まで下がり、図1と同じように、整合回路に用いるインダクタンス(L)、キャパシタンス(C)を大幅に小さくできる。このように、出力電力の上では必要以上に大きな総ゲート幅のFETを用いて出力インピーダンスを下げ、少ない素子数での段間のマッチングを可能にできる。

【0030】また、増幅器への要求から、ゲートバイアスを0Vに設定し、その時の動作点がA級とB級の間に所要の線形性と効率とを満たす動作点になるようにすることがある。この場合、AB級動作をさせるためには、しきい値-0.5V付近のFETを選び、かつ入力での飽和を避けるために入力電圧の最大振幅を±0.5V<sub>pp</sub>を大きく越えないようにする必要が生じることがある。この場合には、FETの入力インピーダンスが高くと、上に示した入力電圧の最大振幅の限界を越えてしまう。従って、出力を大きく取る必要がある次段のFETは、必然的に大きな寸法を取る必要が生じる。このような場合には、本発明が特に有効となる。また、この場合には後段のFETのゲートでの電圧クリッピングによる歪みを抑えることができるという新たな効果を得ることもできる。

【0031】また、前段の大きさをK<sub>m</sub>または2倍にすると、前段の入力インピーダンスも下がるので、前段のFETのゲートでの歪みをさらに抑えることができるという新たな効果も得ることができる。

【0032】さらに、上記の段間整合回路と前後段のFET等をマイクロ波モノリシック集積回路(Microwave Monolithic Integrated Circuit ; MMIC)上に形成する場合には、損失の大きいMMIC上の受動素子の素子値

を小さくできることにより、整合回路での損失を下げることができ、増幅器の全体の利得を向上できるという新たな効果が得られる。

【0033】

【発明の効果】以上述べてきたように、本発明では、能動素子の大きさを、配分した出力電力に対応する必要最小限の大きさに対してK<sub>m</sub>倍以上あるいは2倍以上にすることにより、少ない素子数で段間整合を取ることができるため、全体の面積を小さくでき、かつ整合回路の損失を小さくできる。

【図面の簡単な説明】

【図1】この発明の一実施例による高周波集積回路を示す概略平面図である。

【図2】この発明における前段回路を構成するFETの出力電力と総ゲート幅との関係を示す特性図である。

【図3】図1に示される一実施例の高周波集積回路の構成を示すブロック図である。

【図4】図1に示される一実施例による高周波集積回路の詳細な構成を示す回路図である。

【図5】図1に示される高周波集積回路のインピーダンスを示す従来例との比較の下に示すスミスチャートである。

【図6】図1に示される高周波集積回路のインピーダンスを示す従来例との比較の下に示すスミスチャートである。

【図7】従来の高周波集積回路の概略構成の一例を示す平面図である。

【図8】従来の高周波集積回路の概略構成の他の一例を示す平面図である。

【符号の説明】

10 高周波集積回路

11 前段回路

12 後段回路

13 MESFET

14 MESFET

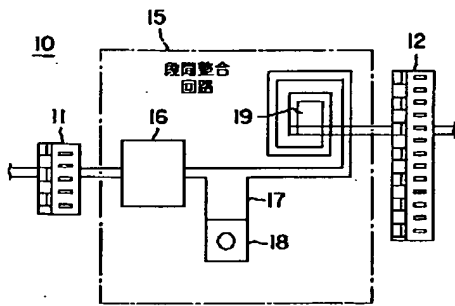
15 段間整合回路

P<sub>m</sub> 前段回路の出力電力

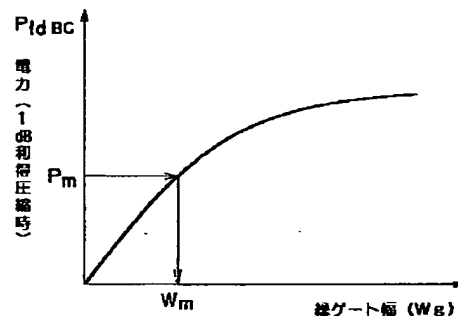
W<sub>m</sub> 前段回路の総ゲート幅

K<sub>m</sub> 所定の倍数

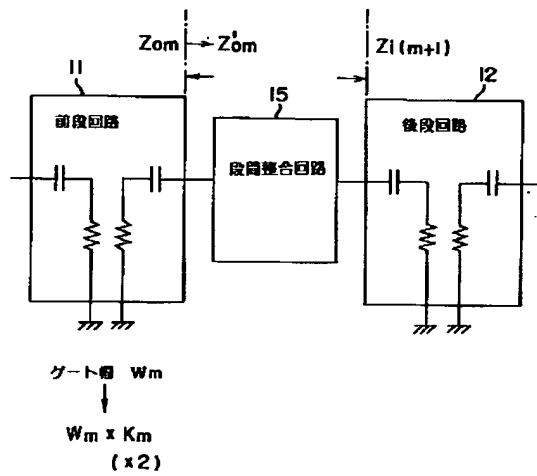
【図1】



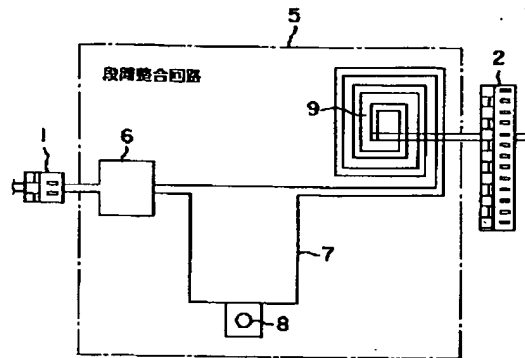
【図2】



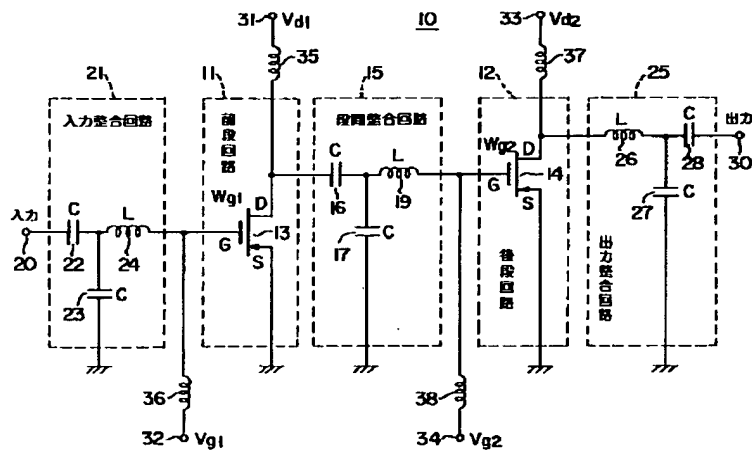
【図3】



【図7】

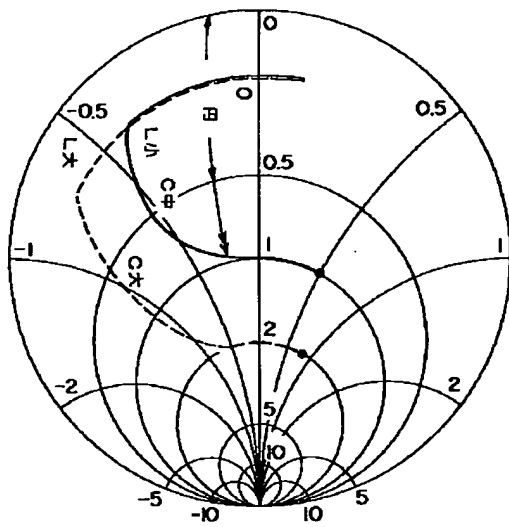


【図4】

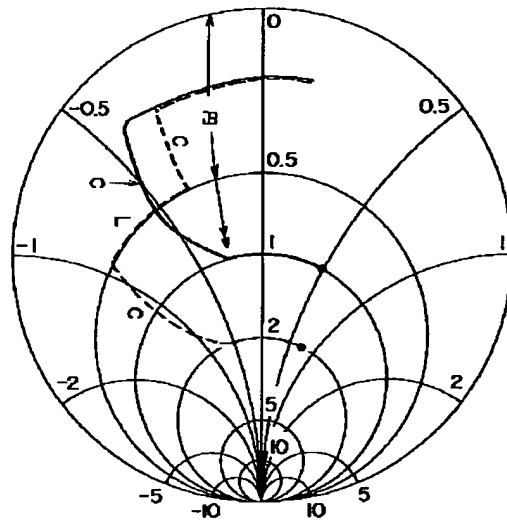




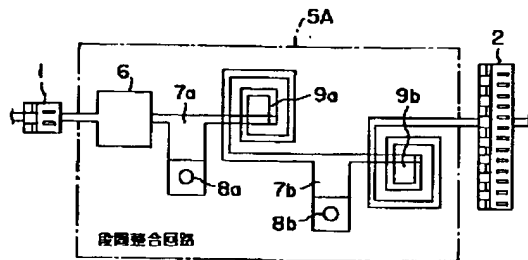
【図5】



【図6】



【図8】



フロントページの続き

(72)発明者 鈴木 康 夫  
 神奈川県川崎市幸区小向東芝町1 株式会  
 社東芝研究開発センター内